

अर्धचालक एकीकृत परिपथ अभन्यास डजाइन जरनल, जनवरी 2024
The Semiconductor Integrated Circuits Layout Design Journal, January 2024

भारत सरकार
अर्धचालक एकीकृत परिपथ अभन्यास डजाइन रजिस्ट्री
Government of India
The Semiconductor Integrated Circuits Layout Design Registry

निर्गमन सं 147/2024
Issue No. 147/2024

शुक्रवार
Friday

दिनांक: 12/01/2024
DATE: 12/01/2024

अर्धचालक एकीकृत परिपथ अभन्यास डजाइन अधनियम, 2000 के अधीन प्रकाशत
रजिस्ट्रार कार्यालय, अर्धचालक एकीकृत परिपथ अभन्यास डजाइन रजिस्ट्री, भारत सरकार
Published under Semiconductor Integrated Circuits Layout Design Act, 2000
Government of India, Office of the Registrar, Semiconductor Integrated Circuits Layout Design
Registry,
वाणज्य एवं उद्योग मंत्रालय
Ministry of Commerce and Industry
बौद्धिक संपदा भवन
Boudhik Sampada Bhawan
नई दिल्ली 110075
Plot no. 32, Sector – 14, Dwarka, New Delhi-110075.
Tel: 011-25301207, Fax: 011-28034315

अनुक्रम णका
INDEX

- क. आधकारिक टिप्पणयां
A. Official Notes
- ख. अर्धचालक एकीकृत परिपथ अ भन्यास डजाइन रजिस्ट्री कार्यालय का अधकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry
- ग. स्वीकृति के पश्चात वज्ञापत आवेदन
C. Applications advertised after acceptance
- घ. आवेदन में शुध्दि या संशोधन करने की अधसूचना
D. Notification of correction or amendment of application

प्रस्तावना

अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन रजिस्ट्री 1 मई, 2011 से सेमीकंडक्टर एकीकृत परिपथ अभिन्यास डजाइन अधिनियम, 2000 के अंतर्गत चालू की गई है। अधिनियम के अंतर्गत प्रावधानों के अनुसार अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन जनरल का प्रकाशन अपेक्षित है। इस जनरल का प्रकाशन महीने के दूसरे शुक्रवार कार्य दिवस पर किया जाएगा। इस जनरल से संबंधित सभी पूछ-ताछ अथवा कोई भी अन्य अपेक्षित सूचना रजिस्ट्रार, अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन रजिस्ट्री को संबोधित की जा सकती है। कसी भी प्रकार के सुझावों तथा टिप्पणियों का स्वागत है।

(प्रो. (डॉ.) उन्नत पी. पंडित)
रजिस्ट्रार

INTRODUCTION

The Semiconductor Integrated Circuits Layout-Design Registry has been made operational w.e.f. 1st May 2011 under the Semiconductor Integrated Circuits Layout-Design Act, 2000. In accordance with the provisions under the Act "The Semiconductor Integrated Circuits Layout-Design Journal" is required to be published. This Journal is being published on the 2nd working Friday of the month. All the enquiries related to this Journal or any other information as required should be addressed to the Registrar, Semiconductor Integrated Circuits Layout-Design Registry. Any suggestions and comments are welcome.

(Prof. (Dr) Unnat P. Pandit)
REGISTRAR

क. आधिकारिक टिप्पणयां
A. Official Notes

अर्धचालक एकीकृत परिपथ अ भन्यास डजाइन आवेदन के पंजीकरण से संबंधित कोई भी जानकारी सभी कार्य-दिवसों में अपराह्न 3.00 से 4.00 के बीच प्राप्त की जा सकती है।

(प्रो. (डॉ.) उन्नत पी. पंडित)
रजिस्ट्रार

All the queries relating to registration of Semiconductor Integrated Circuits Layout Design may be obtained from the Registry between Timing 3:00 PM to 4:00 PM all working days.

(Prof. (Dr) Unnat P. Pandit)
REGISTRAR

- ख. अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry

अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन रजिस्ट्री (एस. आई. सी. एल. डी. आर.) का मुख्य कार्यालय, प्लॉट नं ३२, सेक्टर १४, द्वारका, नई दिल्ली - 110075 में स्थित है। इसकी राज्यक्षेत्रीय परिसीमाएं जिसके भीतर अर्धचालक एकीकृत परिपथ अभिन्यास डजाइन रजिस्ट्री का कार्यालय अपने कृत्य कर सकेगा, सम्पूर्ण भारत पर है।

(प्रो. (डॉ.) उन्नत पी. पंडित)
रजिस्ट्रार

The Semiconductor Integrated Circuits Layout-Design Registry (SICLDR) has its head office located in the Boudhik Sampada Bhawan, Plot no. 32, Sector – 14, Dwarka, New Delhi-110075. The territorial limits within which such office of the Semiconductor Integrated Circuits Layout-Design Registry may exercise its functions shall be the whole of India.

(Prof. (Dr) Unnat P. Pandit)
REGISTRAR

- ग. स्वीकृति के पश्चात वजापत आवेदन – शून्य*
- C. Applications advertised after acceptance – Nil*

*कोई आवेदन प्राप्त नहीं हुआ।
*no application received.

अर्धचालक एकीकृत परिपथ अ भन्यास डजाइन जरनल, जनवरी 2024
The Semiconductor Integrated Circuits Layout Design Journal, January 2024

- घ. आवेदन में शुद्धि या संशोधन करने की अधसूचना - शून्य
D. Notification of correction or amendment of application - Nil