

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जरनल, दिसंबर 2016
The Semiconductor Integrated Circuits Layout Design Journal, December 2016

भारत सरकार

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री

Government of India

The Semiconductor Integrated Circuits Layout Design Registry

निर्गमन सं 67/2016

बुधवार

दिनांक: 07/12/2016

Issue No.67/2016

Wednesday

DATE: 07/12/2016

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अधीन विज्ञापन
रजिस्ट्रार कार्यालय, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री, भारत सरकार
Published under Semiconductor Integrated Circuits Layout Design Act, 2000
by Government of India, Office of the Registrar, Semiconductor Integrated Circuits Layout Design
Registry,

इलेक्ट्रॉनिक्स एवं सूचना प्रौद्योगिकी मंत्रालय

Ministry of Electronics and Information Technology

इलेक्ट्रॉनिक्स निकेतन

Electronics Niketan

6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003

6, CGO Complex, Lodhi Road, New Delhi-110003.

Tel: 011-24364807, Fax: 011-24366557

अनुक्रमणिका
INDEX

- क. आधिकारिक टिप्पणियां
A. Official Notes
- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry
- ग. स्वीकृति के पश्चात विज्ञापित आवेदन
C. Applications advertised after acceptance
- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना
D. Notification of correction or amendment of application

प्रस्तावना

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री 1 मई, 2011 से सेमीकंडक्टर एकीकृत परिपथ अभिन्यास डिजाइन अधिनियम, 2000 के अंतर्गत चालू की गई है। अधिनियम के अंतर्गत प्रावधानों के अनुसार अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जनरल का प्रकाशन अपेक्षित है। इस जनरल का प्रकाशन महीने के पहले कार्य दिवस पर मासिक आधार पर किया जाएगा। इस जनरल से संबंधित सभी पूछ-ताछ अथवा कोई भी अन्य अपेक्षित सूचना रजिस्ट्रार, अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री को संबोधित की जानी चाहिए। किसी भी प्रकार के सुझावों तथा टिप्पणियों का स्वागत है।

(पी घटक)
रजिस्ट्रार

INTRODUCTION

The Semiconductor Integrated Circuits Layout-Design Registry has been made operational w.e.f. 1st May 2011 under the Semiconductor Integrated Circuits Layout-Design Act, 2000. In accordance with the provisions under the Act "The Semiconductor Integrated Circuits Layout-Design Journal" is required to be published. This Journal is being published on monthly basis on the 1st working day of the month. All the enquiries related to this Journal or any other information as required should be addressed to the Registrar, Semiconductor Integrated Circuits Layout-Design Registry. Any suggestions and comments are welcome.

(P. Ghatak)
REGISTRAR

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जरनल, दिसंबर 2016
The Semiconductor Integrated Circuits Layout Design Journal, December 2016

- क. आधिकारिक टिप्पणियां
A. Official Notes

रजिस्ट्री आम जनता के लिए प्रातः 10.00 बजे से सांयः 5.00 बजे तक हर कार्य दिवस पर खुलेगी ।

(पी घटक)
रजिस्ट्रार

The Registry is opened for public dealing from 10 am to 5 pm on all working days.

(P. Ghatak)
REGISTRAR

अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जरनल, दिसंबर 2016
The Semiconductor Integrated Circuits Layout Design Journal, December 2016

- ख. अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री कार्यालय का अधिकार क्षेत्र
B. Jurisdiction of Office of the Semiconductor Integrated Circuits Layout Design Registry

असाधारण भाग-II - खण्ड 3 - उप खण्ड (ii) के जरिए प्राधिकार सं. 219 नई दिल्ली, सोमवार, मार्च 1, 2004/फाल्गुन 11, 1925, द्वारा प्रकाशित अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री (एस. आई. सी. एल. डी. आर.) का मुख्य कार्यालय, इलेक्ट्रॉनिक्स एवं सूचना प्रौद्योगिकी मंत्रालय, इलेक्ट्रॉनिक्स निकेतन, 6, सीजीओ कॉम्प्लेक्स, नई दिल्ली - 110003 में स्थित है। इसकी राज्यक्षेत्रीय परिसीमाएं जिसके भीतर अर्द्धचालक एकीकृत परिपथ अभिन्यास डिजाइन रजिस्ट्री का कार्यालय अपने कृत्य कर सकेगा, सम्पूर्ण भारत पर है।

(पी घटक)
रजिस्ट्रार

Vide Extraordinary Gazette Notification Part II-Section 3-Sub-section (ii) Published by authority No. 219 New Delhi, Monday, March 1, 2004 / Phalguna 11, 1925, the Semiconductor Integrated Circuits Layout-Design Registry (SICLDR) has its head office located in the Ministry of Electronics and Information Technology, 6, CGO Complex, Lodhi Road, New Delhi. The territorial limits within which such office of the Semiconductor Integrated Circuits Layout-Design Registry may exercise its functions shall be the whole of India.

(P. Ghatak)
REGISTRAR

अर्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जरनल, दिसंबर 2016

The Semiconductor Integrated Circuits Layout Design Journal, December 2016

- ग. स्वीकृति के पश्चात विज्ञापित आवेदन – कोई आवेदन प्राप्त नहीं हुआ ।
C. Applications advertised after acceptance – **no application received.**

अर्धचालक एकीकृत परिपथ अभिन्यास डिजाइन जरनल, दिसंबर 2016
The Semiconductor Integrated Circuits Layout Design Journal, December 2016

- घ. आवेदन में शुद्धि या संशोधन करने की अधिसूचना - शून्य
D. Notification of correction or amendment of application - Nil